

基于间隔分组的 TSV 聚簇故障冗余结构

左小寒¹, 梁华国¹, 倪天明², 杨 兆¹, 束 月¹, 蒋翠云³, 鲁迎春¹

(1. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009; 2. 安徽工程大学电气工程学院, 安徽芜湖 241000;
3. 合肥工业大学数学学院, 安徽合肥 230009)

摘 要: 由于不成熟的工艺技术和老化影响, 基于硅通孔 (Through Silicon Via, TSV) 的三维集成电路 (Three-Dimensional Integrated Circuit, 3D IC) 中易发生聚簇故障, 而降低芯片良率. 为修复 TSV 聚簇故障, 本文提出基于间隔分组的故障冗余结构. 通过间隔分组将聚簇的 TSV 故障分散到不同冗余组从而利用各组的冗余资源修复, 并利用 MUX 链实现组间共享冗余资源. 实验结果表明, 相较传统的路由、环形、切换转移冗余结构, 本文结构修复率分别提高 27.5%、62.7% 及 11.4%. 并且在聚簇严重的情况下, 本文结构修复率保持接近 100%.

关键词: 三维集成电路; 硅通孔; 聚簇故障; 间隔分组; 冗余修复

中图分类号: TP306 **文献标识码:** A **文章编号:** 0372-2112 (2021)04-0805-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.12263/DZXB.20190957

A TSV Redundancy Architecture for Clustered Faults Based on Interval Grouping

ZUO Xiao-han¹, LIANG Hua-guo¹, NI Tian-ming², YANG Zhao¹, SHU Yue¹, JIANG Cui-yun³, LU Ying-chun¹

(1. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China;

2. College of Electrical Engineering, Anhui Polytechnic University, Wuhu, Anhui 241000, China;

3. School of Mathematics, Hefei University of Technology, Hefei, Anhui 230009, China)

Abstract: The yield of the Through-Silicon-Vias (TSVs)-based Three-Dimensional Integrated Circuits (3D ICs) is limited by the clustered faults due to immature manufacturing processes and aging. To tolerate TSV clustered faults, a redundancy architecture based on grouping at intervals is demonstrated in this paper. Owing to the use of grouping at intervals, the clustered TSV faults can be dispersed into different redundant groups and repaired with their own repair sources. Besides, MUX chains are utilized to realize the sharing of all repair sources. In experiments, compared with the previous router-based, ring-based and shift-switch redundancy architecture, the repair rates of proposed architecture are enhanced to 27.5%, 62.7% and 11.4%, respectively. More importantly, the repair rate remains close to 100% in severely clustered situation.

Key words: 3D IC; TSV; clustered faults; interval grouping; redundancy and repair

1 引言

三维集成电路 (Three-Dimensional Integrated Circuit, 3D IC) 通过硅通孔 (Through Silicon Via, TSV) 实现垂直方向电气连接, 具有互连密度高、外形尺寸小、低功耗和大带宽^[1-3] 等众多优势. 由于工艺不成熟, TSV 制造堆叠过程可能会引入针孔、空洞及未对准等各种缺陷^[4,5]. 导致 TSV 产生泄漏故障和开路故障^[6]. 文献^[7-9] 指出, 受晶片弯曲程度及应力等因素的影响, 故障 TSV 倾向于集中在某块小区域而非均匀散落在整个 TSV 阵列中, 呈现聚簇性. 对 TSV 聚簇故障容错以提升

TSV 良率, 已引起学术界广泛关注.

蒋力^[8] 提出了基于路由模块的 TSV 聚簇故障冗余结构, 该结构冗余路径灵活, 修复率高, 但在硬件开销及延时方面存在优化空间. Tingting Hwang 等人^[10] 提出环形结构, 将 TSV 阵列从内而外划分成几个同心环, 以降低硬件开销, 但对于多聚簇故障修复率低. 倪天明^[11] 提出将 TSV 阵列分为四区, 与路由结构类似, 该结构硬件开销较大. 王琴^[12] 提出蜂窝冗余结构, TSV 呈蜂窝式排布, 该方法对于聚簇故障修复率有限. Lee 等人^[13] 提出切换转移结构, 将 TSV 阵列按物理位置分组并配置冗

余 TSV. 该结构对于聚簇故障具有高修复率,但是会产生较长延时.

基于传统方案的不足,本文提出基于间隔分组的冗余结构,将 TSV 阵列间隔分为多个 TSV 组,每组配置冗余资源,并实现组间共享冗余资源. TSV 聚簇故障时,聚集的多个故障 TSV 分散到不同的冗余组,利用各组的冗余资源修复.

2 传统 TSV 冗余结构

本小节介绍目前几种主流修复方案. 图 1(a)所示为基于路由模块的冗余结构^[8]. 黑色实心圆点表示信号,白色圆圈为跨层传输信号的信号 TSV (Signal TSV, STSV),蓝色圆圈为空闲的冗余 TSV (Redundant TSV, RTSV),六边形为由三个 1:3 DEMUX 组成的路由模块,带箭头黑色实线表示 TSV 故障时信号可行的路由方向. 该结构为 TSV 阵列配备一行一列 RTSV,并为每个 STSV 配备一个路由模块. 进入路由模块的信号,除连接至对应 STSV 外,还可以向东、南两个方向的相邻路由模块移位. 基于此,故障聚簇时,信号可以经由路由模块传输到较远处的无故障 STSV 或 RTSV 实现冗余(如图中红色曲线所示). 该结构冗余路径灵活,具有高修复率. 但由于使用了路由模块和较多的 RTSV,具有较高的硬件开销.

图 1(b)所示为基于环的冗余结构^[10],该结构将 TSV 阵列从内而外划分成几个同心环,在最外层环配置

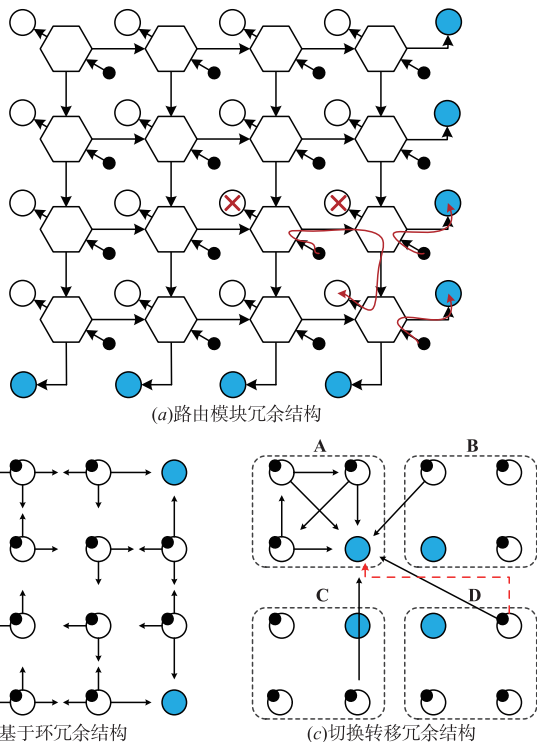


图1 传统TSV冗余结构

若干 RTSV. 故障 STSV 的信号可以利用 MUX,向同一环或相邻环上的相邻 TSV 移位,直至移位至 RTSV. 该结构相比路由模块冗余结构,每个 STSV 配备一个 MUX,硬件开销有所降低,但对于多聚簇故障,修复率不佳.

图 1(c)所示为切换转移冗余结构^[13],依据物理位置将 TSV 阵列划分为若干组,每组配置一个 RTSV. 信号可以向同组内相邻 STSV 移位,也可以向 RTSV 切换. 该结构冗余路径较多,对于聚簇故障具有高修复率,但由于配备大输入 MUX(如 14:1 MUX),对布局提出一定挑战. 并且当信号向较远 RTSV 切换时,会产生较长路径延时(如图中红色虚线所示).

3 间隔分组冗余结构

在以往几种冗余结构中,相近 STSV 利用附近的同一个 RTSV 修复,故障聚簇时,可能有距故障较远的 RTSV 仍然处于空闲状态,没有被利用,导致低修复率. 本节描述一种新的 TSV 冗余结构,分别介绍结构中的间隔分组、冗余修复路径及修复算法.

3.1 TSV 分组

如图 2 所示为 4 × 4 TSV 阵列下的分组示意图,相邻 TSV 间距为 p,正方形分组器边长为 $\sqrt{2}p$. 将同一个正方形分组器顶点所落的 TSV 列为一组,16 个 TSV 被红绿两个分组器分列到组 1 和组 2. 每组的中心 TSV 设为 RTSV. 若想配置更多 RTSV 以修复更多故障,只需适当增大分组器的边长,以增多冗余组数. 对于 8 × 8 TSV 阵列,以边长为 $2\sqrt{2}p$ 的正方形分组器(如图 3 所示)将 64 个 TSV 间隔分为 8 组.

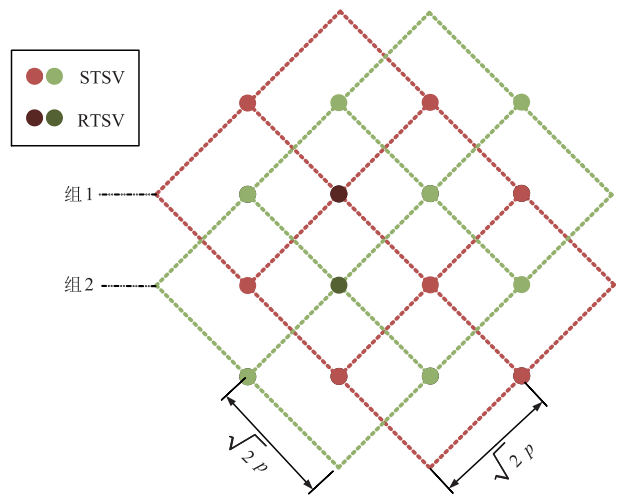


图2 4×4 TSV阵列示意图

8 × 8 TSV 阵列分组结果如图 4 所示. 对 TSV 的命名规则为:组按数字顺序命名,每组的 STSV 和对应信号按字母顺序命名. 例如,第 2 组中的第 5 个 STSV 及其信号为 S2E 和 2E. 采用以上间隔分组方法,发生聚簇故障

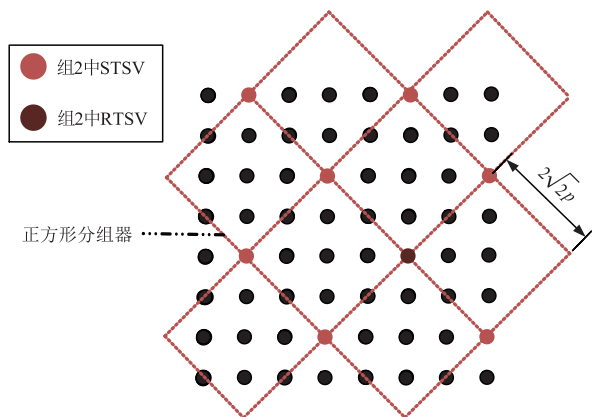


图3 8×8阵列分组示意图

时,聚簇的多个故障 TSV 分属不同的冗余组,从而可分别利用各组 RTSV 修复,避免竞争同一个 RTSV.

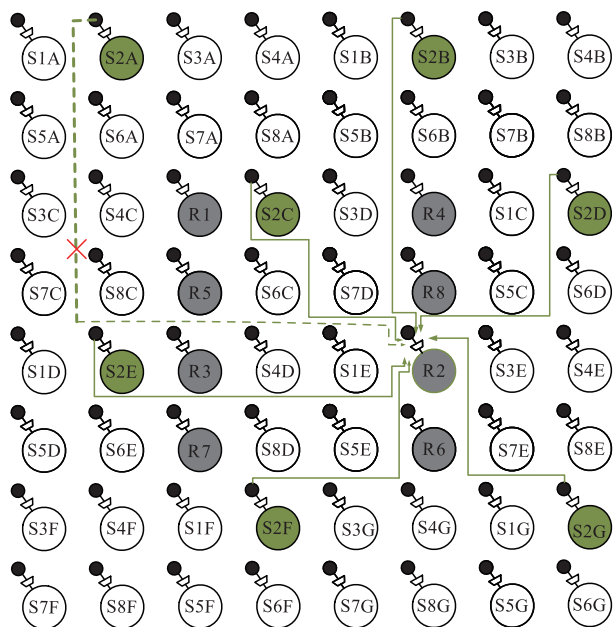


图4 第2组冗余路径一示意图

3.2 冗余修复路径

本小节设计信号冗余修复路径,以使 TSV 故障时,信号得以传输.

3.2.1 冗余修复路径一

首先为每个 RTSV 配备一个多输入 MUX,连接本组信号以修复本组 TSV 故障.如图 4 中已用绿色标注出第 2 组的 7 个 STSV 及 RTSV (R2).注意到 7 个 STSV 中,S2A 距 R2 的曼哈顿距离为 $8p$,而 S2B-S2G 距 R2 的曼哈顿距离均为 $4p$.将 2B-2G 连接至 R2 MUX (如图 4 中绿色实线所示),当检测到 S2B-S2G 之一发生故障且 R2 空闲时,R2 通过 MUX 选择故障 STSV 的信号传输.而 2A 因曼哈顿距离较长未被连接至 R2 MUX.与第 2 组类似,其他 7 组中均有个别 STSV 距该组 RTSV 的曼

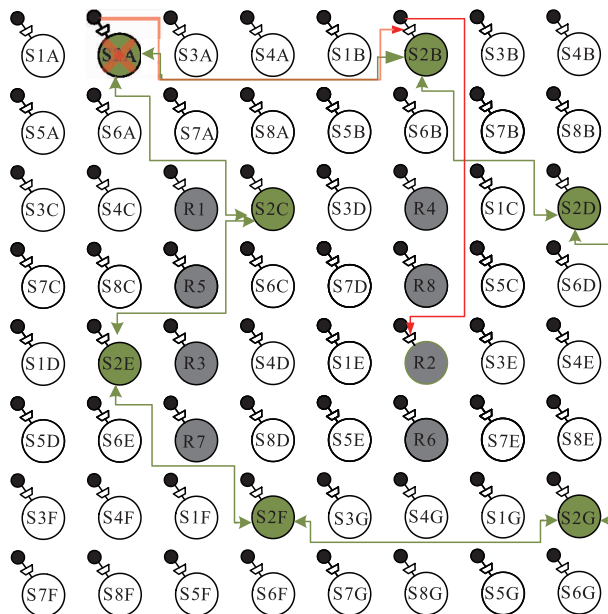
哈顿距离较长而未连接至 RTSV.各组 MUX 输入信号如表 1 所示.

表 1 RTSV MUX 输入信号列表

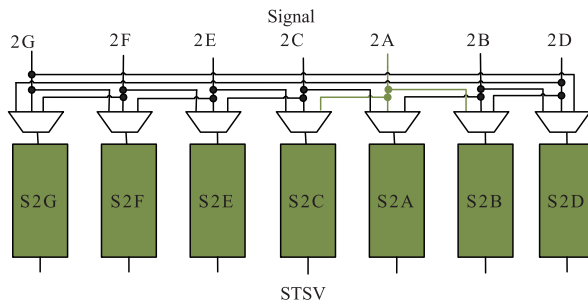
RTSV	输入信号					
R1	1A	1B	1C	1D	1E	1F
R2	2B	2C	2D	2E	2F	2G
R3	3A	3C	3D	3E	3F	3G
R4	4A	4B	4C	4D	4E	4G
R5	5A	5B	5C	5D	5E	5F
R6	6B	6C	6D	6E	6F	6G
R7	7A	7C	7D	7E	7F	7G
R8	8A	8B	8C	8D	8E	8G

3.2.2 冗余修复路径二

为了修复冗余路径一中未连接至 RTSV 的 S2A 等 STSV,且不造成更大的延时,引入冗余修复路径二:如图 5(a) 绿色实线所示,将同组的 STSV 及信号利用 MUX 链组成双向环链式结构,若 STSV 故障,其信号可以向环左或环右 STSV 传输.对应 MUX 结构如图 5(b)



(a) 第2组冗余路径二



(b) 双向环MUX链

图5 第2组冗余路径二示意图

所示,若 S2A 故障,2A 可向 S2B 转移,2B 可利用冗余修复路径一切换至 R2 传输,从而修复 S2A 故障.

3.2.3 冗余修复路径三

以上冗余方式在聚簇严重的故障情况下具有高灵活性.然而,当位于同组的多个 STSV 同时故障,则无法冗余.因而引入冗余修复路径三:以物理位置邻近的原则,将 STSV 分区,单个区包含每组一个 STSV,区内 STSV 利用 MUX 链构成顺时针单向环链式结构.

如图 6 所示,56 个 STSV 被绿色虚线分为 7 个区,单区包含 1~8 冗余组各一个信号.如图 6 右下放大大部分所示区,包含 S1G-S8G,分别来自 1~8 冗余组.单个区内信号与 STSV 利用 MUX 组成顺时针单向环链式结构,若 STSV 故障,信号可向链上相邻 STSV 转移.如若 S2D,S2G 同时故障,2D 可通过冗余路径一切换至 R2 传输,2G 可通过冗余路径三转移至 S6G 传输,6G 通过冗余路径一切换至 R6 传输,从而利用全局 RTSV 修复同组内多个 TSV 故障.

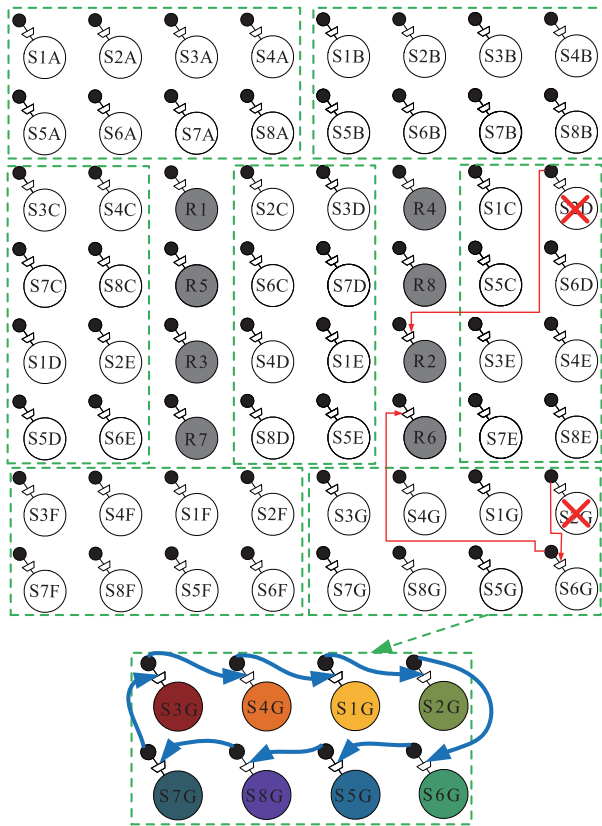


图6 冗余路径三示意图

3.3 修复算法

在经过 TSV 测试确定故障 TSV 之后,采用最小成本最大流算法^[14]来判断故障是否可以修复.如算法 1 所示,输入逻辑结构 L 和故障 TSV 集合 $FTSV$,其中逻辑结构 L 为信号到 TSV 所有可能路径的集合.首先依据 L 构建流网络图 $G(V, E)$,节点集 V 由源节点

$Source$ 、信号节点 $Signal$ 、TSV 节点 TSV 和汇节点 $Sink$ 组成,边集 E 由源到信号的边 SS 、信号到 TSV 的边 ST 和 TSV 到汇节点的边 TS 组成.接着将所有边流量初始化为 1,信号通过非对应的 STSV 传输形成的边,成本初始化为 1,其余边成本初始化为 0.然后依据 $FTSV$,将所有与故障 TSV 相连的边流量置 0.算法 1 第 4~9 行通过 SPFA(Shortest Path Faster Algorithm)算法^[15]求出一条从源点到汇点的最短路径 $repairRoute$,并将 $repairRoute$ 上边的流量减 1,而后将路径存入 REs 中.循环执行这一过程直到 SPFA 算法无解.最后判断修复路径集合 REs 的大小是否等于 STSV 的数量,若相等则说明可以修复,反之则不可以修复.

算法 1 故障 TSV 修复算法

输入:TSV 的逻辑结构 L ,故障 TSV 集合 $FTSV$

输出:故障 TSV 的修复路径 REs

- 1 根据 L 构建流网络图 $G = (V, E)$
- 2 初始化每条边的流量 f 和花费 c
- 3 $f(v, u) = 0 (v \in V, u \in FTSV)$
- 4 $repairRoute = SPFA(G)$
- 5 While $repairRoute \neq \emptyset$ do
- 6 $f(v, u) = f(v, u) - 1, (v, u) \in repairRoute$
- 7 $REs.push(repairRoute)$
- 8 $repairRoute = SPFA(G)$
- 9 end
- 10 if $sizeof(REs) == sizeof(Signal)$ Then
- 11 return REs
- 12 else return $FALSE$
- 13 end if

4 实验结果与分析

在本节中,将所提冗余结构与路由^[8]、环形^[10]和切换转移^[13]冗余结构进行对比实验,分析评估所提结构的修复能力、硬件和延时开销.

4.1 修复率分析

为分析聚簇故障下本结构冗余能力,实验以聚簇窗^[13]模拟聚簇状态.图 7 为 8×8 TSV 阵列中的 6×6 及 3×3 聚簇窗,所有的故障 TSV 集中在聚簇窗内,聚簇窗

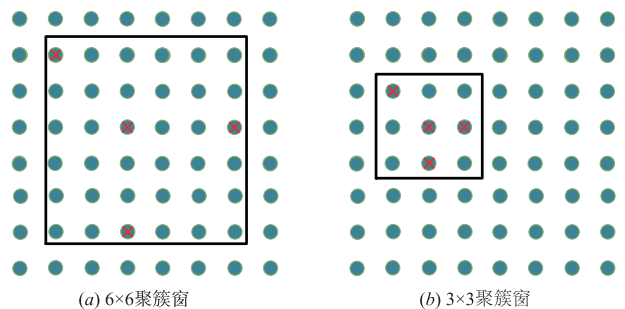


图7 聚簇窗示意图

越小,TSV 故障愈密集,表征聚簇越严重。

实验比较了在不同聚簇窗下四种结构对相同数量故障 TSV 的修复情况. 故障数量由 1 到 8, 每种数量的故障 TSV 随机产生并进行 100000 次实验, 聚簇窗在阵列中的位置随机生成. 修复率为可修复情形与总故障情形的比值。

图 8 为在 8×8 阵列中不同聚簇程度下四种结构的修复率折线图. 可看出故障均匀分布下(图 8(a)), 随着故障数量增多, 环形结构(紫红色折线)修复率从 1 个故障时的 100% 下降至 8 个故障时的 83.79%, 而本文结构

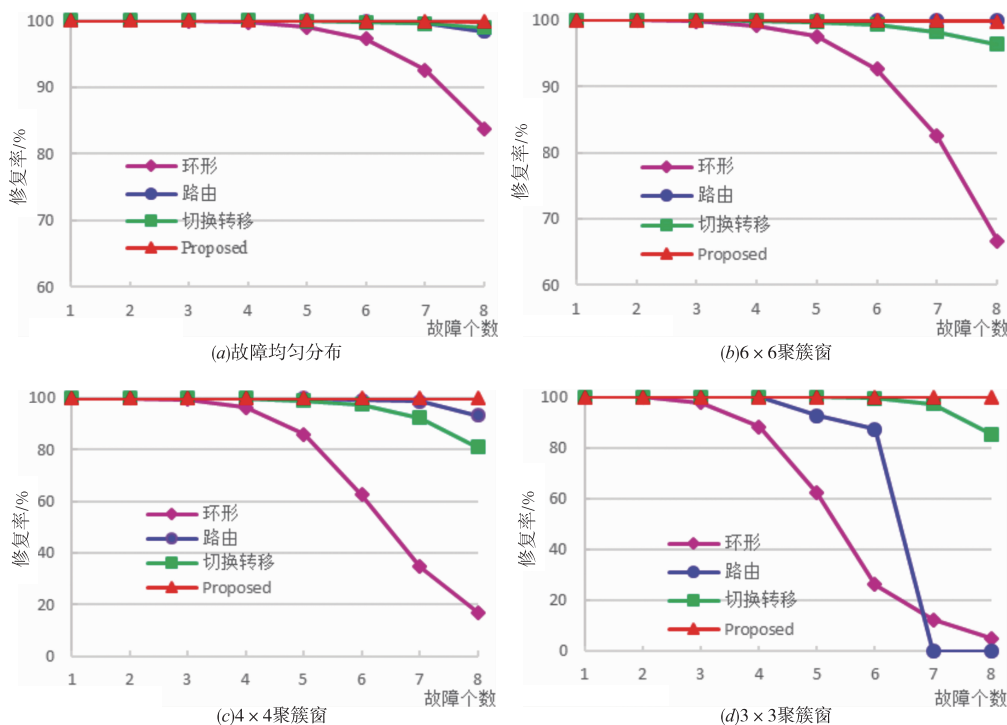


图8 四种冗余结构 (8×8 阵列) 不同聚簇程度下修复率

在扩展的 10×10 TSV 阵列中, 修复率比较如图 9 所示. 图 9(a) ~ (d) 分别比较了四种结构在故障均匀分布、故障聚簇于 8×8 、 6×6 、 4×4 聚簇窗下的修复能力. 从图中可看出, 随着聚簇窗缩小, 环形、路由及切换转移结构的修复率逐渐降低, 而本文结构修复率始终保持在接近 100%。

由此可认为, 本文结构针对 TSV 均匀及聚簇故障的修复能力都是最佳的. 并且与以往方案修复率随着聚簇程度加重而有所下降不同, 即使在严重聚簇程度下, 本文结构始终能够保持 99.5% 以上的高修复率。

4.2 硬件开销分析

TSV 冗余结构中配置多个 STSV 与 MUX, 占用一定面积. 为了计算冗余结构的硬件开销, 采用综合工具 Synopsys Design Compiler 基于 TSMC 45nm 标准单元库计算面积参数. 表 2 列出了 8×8 及 10×10 TSV 阵列中

(红色折线)修复率始终保持在 99.5% 以上, 高于路由结构(蓝色折线)与切换转移结构(绿色折线). 随着聚簇程度加重, 在 6×6 及 4×4 聚簇窗下(图 8(b) ~ (c)), 环形、路由及切换转移结构修复率均有不同程度的下降, 而本文结构修复率依然保持在 99.5% 以上. 在聚簇程度最严重的 3×3 聚簇窗下(图 8(d)), 环形结构的最低修复率下降至 5%, 路由结构对于 7、8 个 TSV 故障修复率为 0, 本文结构的修复率为 100%. 这是因为本文结构中, 所有聚簇故障被分散到 8 个不同的冗余组, 充分利用阵列中 8 个 RTSV 修复。

四种冗余结构的冗余比、MUX 数量和占用总面积以及修复路径的最长延时。

本文结构冗余比与环形结构、切换转移结构相同, 低于路由结构. 由于 TSV 的制造成本非常高, 较高的冗余比会在很大程度上提高 TSV 制造成本. 在 8×8 TSV 阵列中, 本文结构 MUX 总面积为 $392.6 \mu\text{m}^2$, 比路由结构少 67.5%, 比环形结构增加 15%, 比切换转移结构仅增加 4.7%, 这在大幅提高修复率的前提下是合理的. 类似地, 在 10×10 TSV 阵列中, 本文结构 MUX 总面积远低于路由结构, 稍高于环形和切换转移结构。

4.3 延时分析

在 TSV 修复过程中, 由于故障 STSV 与相应的 RTSV 之间存在一定的布线距离, 且信号路由会经过 MUX, 因此会引起额外的延时, 本文考虑可修复的所有故障情形中延时最长的 TSV 故障情况。

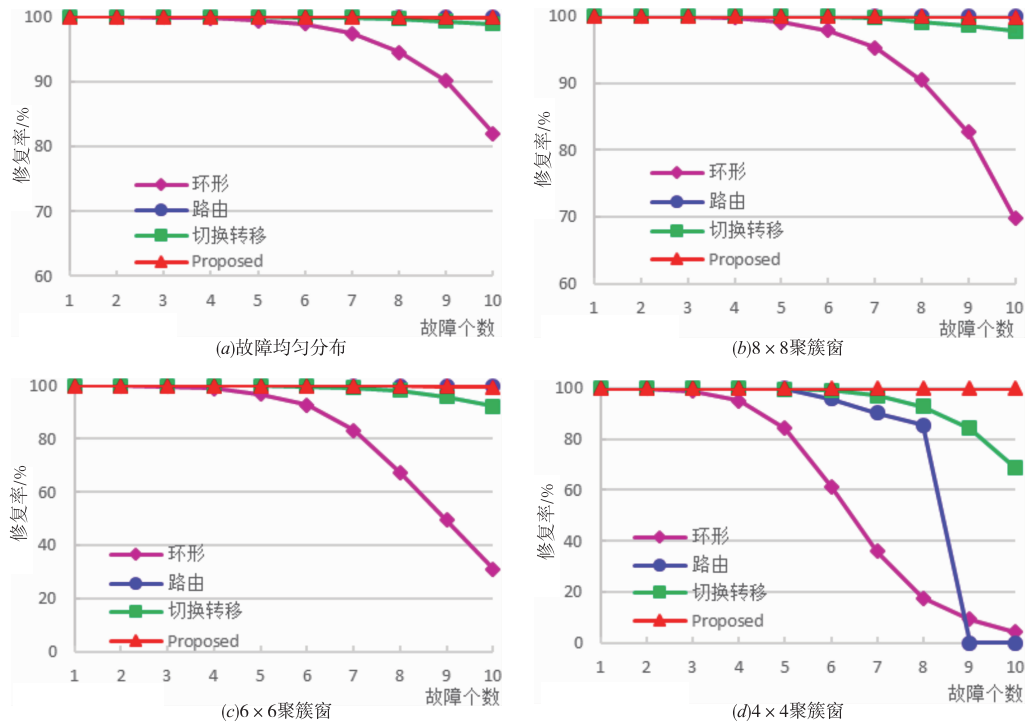


图9 四种冗余结构(10×10阵列)不同聚簇程度下修复率

表2 四种冗余结构硬件与延时开销

冗余结构	8 × 8 TSV 阵列				10 × 10 TSV 阵列			
	路由	环形	切换转移	本文结构	路由	环形	切换转移	本文结构
# of RTSV	16	8	8	8	20	10	10	10
# of STSV	64	56	56	56	100	90	90	90
冗余比(R/S)	0.25	0.14	0.14	0.14	0.2	0.11	0.11	0.11
# of 2:1MUX		12	56			16	90	
# of 3:1MUX	192	32			300	56		
# of 4:1MUX		20		56		28		90
# of 6:1MUX				8				
# of 7:1MUX								4
# of 8:1MUX								4
# of 14:1MUX			8					
# of 18:1MUX							10	
MUX 总面积(μm^2)	1207.7	341.4	375.1	392.6	1887	546.6	591.2	639.7
互连线延时(ns)	0.15	0.05	0.4	0.2	0.15	0.05	0.5	0.3
MUX 延时(ns)	2.58	0.86	1.43	1.14	2.58	0.86	1.65	1.37
总延时(ns)	2.73	0.91	1.83	1.34	2.73	0.91	2.15	1.67
修复能力	优	良	优 ⁻	优 ⁺	优	良	优 ⁻	优 ⁺

将相邻 TSV 间距 p 设为 $50\mu\text{m}$. 基于文献[16], 假定信号传输延时是 $5\text{ps}/10\mu\text{m}$. 本文结构中, 处于同一冗余组中相邻的 TSV 在物理位置上并不是相邻的. 在 8×8 TSV 阵列中, 冗余组中相邻 TSV 的布线距离(如图 5(a)中 S2E 至 S2F)为 $200\mu\text{m}$, 互连线延时为 0.1ns , 修复路径经过的最大 MUX 为 $6:1$ MUX, Synopsys Design Compiler 综合 $6:1$ MUX 延时为 0.6ns . 在 3D IC 中, 应在上、下两层芯片中考虑额外延迟. 两层芯片互连线延时相同, 为 0.1ns , 由于下层芯片所有信号可能来自 5 个 TSV, 需要 $5:1$ MUX, Synopsys Design Compiler 综合 $5:1$ MUX 延时为 0.54ns . 总额外延时是线路延时和

MUX 延时之和, 因此本文结构在 8×8 TSV 阵列中最长延时为 1.34ns . 表 2 中列出四种结构在 8×8 及 10×10 阵列中修复 TSV 故障所需的最长延时, 可以看出, 本文结构延时低于路由结构和切换转移结构, 稍高于环形结构, 但修复率的优势是环形结构无法比拟的.

5 总结

本文提出了基于间隔分组的 TSV 聚簇故障冗余结构, 将 TSV 阵列在逻辑上间隔分为多个冗余组, 分别构建组内与组间的冗余路径, 充分利用全局 RTSV. 本文结构改进了传统冗余结构的修复率随着故障数量增加

而大幅降低的缺陷,修复率始终保持在 99.5% 以上,并在严重聚簇的情况下,能达到接近 100% 的修复率,适用于各种故障环境下。

参考文献

- [1] BANERJEE K, SOURI S J, KAPUR P, et al. 3-D ICs: a novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration [J]. Proceedings of the IEEE, 2001, 89(5): 602 – 633.
- [2] 常郝, 梁华国, 等. 一种 3D 堆叠集成电路中间绑定测试时间优化方案 [J]. 电子学报, 2015, 43(2): 393 – 398.
CHANG H, LIANG H-G, et al. Optimization scheme for mid-bond test time on 3D-stacked ICs [J]. Acta Electronica Sinica, 2015, 43(2): 393 – 398. (in Chinese)
- [3] 神克乐, 虞志刚, 白宇. 基于 TSV 绑定的三维芯片测试优化策略 [J]. 电子学报, 2016, 44(1): 155 – 159.
SHEN K-L, YU Z-G, BAI Y. Optimization strategy for TSV-based 3D SoC testing [J]. Acta Electronica Sinica, 2016, 44(1): 155 – 159. (in Chinese)
- [4] EGHBAL A, YAGHINI P M, et al. Analytical fault tolerance assessment and metrics for TSV-based 3D network-on-chip [J]. IEEE Transactions on Computers, 2015, 64(12): 3591 – 3604.
- [5] 欧阳一鸣, 孙成龙, 等. 3D NoC 关键通信部件容错方法研究综述 [J]. 电子学报, 2016, 44(12): 3053 – 3063.
OUYANG Y-M, SUN C-L, et al. Fault-tolerant method of critical communication components in 3D NoC: A review [J]. Acta Electronica Sinica, 2016, 44(12): 3053 – 3063. (in Chinese)
- [6] LIU X, CHEN Q, et al. Failure mechanisms and optimum design for electroplated copper Through-Silicon Vias (TSV) [A]. Proceeding of the 59th Electronic Components and Technology Conference [C]. San Diego: IEEE, 2009. 624 – 629.
- [7] MARINISSEN E, ZORIAN Y. Testing 3D chips containing through-silicon vias [A]. Proceedings of Test Conference [C]. Austin: IEEE, 2009. 1 – 11.
- [8] JIANG L, XU Q, EKLOW B. On Effective Through-silicon via repair for 3D-stacked ICs [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32(4): 559 – 571.
- [9] XU Q, CHEN S, XU X, et al. Clustered fault tolerance TSV planning for 3D integrated circuits [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2017, 36(8): 1287 – 1300.
- [10] LO W, CHI K, HWANG T, et al. Architecture of ring-based redundant TSV for clustered faults [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(12): 3437 – 3449.
- [11] NI T, LIANG H, NIE M, et al. A region-based through-silicon via repair method for clustered faults [J]. IEICE Transactions on Electronics, 2017, 100(12): 1108 – 1117.
- [12] WANG Q, LIU Z, JIANG J, et al. A new cellular-based redundant TSV structure for clustered faults [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(2): 458 – 467.
- [13] LEE I, CHEONG M, KANG S. Highly reliable redundant TSV architecture for clustered faults [J]. IEEE Transactions on Reliability, 2019, 68(1): 237 – 247.
- [14] GOLDBERG A G, RAO S. Beyond the flow decomposition barrier [J]. Journal of the ACM, 1998, 45(5): 783 – 797
- [15] 段凡丁. 关于最短路径的 SPFA 快速算法 [J]. 西南交通大学学报, 1994, 29(2): 207 – 212.
DUAN F. A faster algorithm for shortest-path——SPFA [J]. Journal of Southwest Jiaotong University, 1994, 29(2): 207 – 212. (in Chinese)
- [16] KITADA H, SUZUKI T, KIMURA T, et al. The influence of the size effect of copper interconnects on RC delay variability beyond 45nm technology [A]. Proceedings of 2007 IEEE International Interconnect Technology Conference [C]. Burlingame: IEEE, 2007. 10 – 12.

作者简介



左小寒 女, 1995 年 3 月出生, 安徽铜陵人. 硕士研究生, 主要研究方向: 三维集成电路的测试与容错.
E-mail: 861819322@ qq. com



梁华国 男, 1959 年 7 月出生, 安徽合肥人. 教授, 博士生导师, CCF 高级会员, 主要研究方向: 嵌入式系统综合与测试、数字系统设计自动化、高可靠性的工业控制计算机研究等.
E-mail: huagulg@ hfut. edu. cn



鲁迎春 (通讯作者) 男, 1979 年 8 月出生, 安徽桐城人. 2002 年毕业于合肥工业大学微电子学专业获得学士学位, 2005 年毕业于合肥工业大学微电子学与固体电子学专业获得硕士学位. 合肥工业大学电子科学与应用物理学院讲师. 主要研究方向: 三维集成电路的测试与容错、集成电路硬件安全与可靠性设计.
E-mail: luyingchun@ hfut. edu. cn